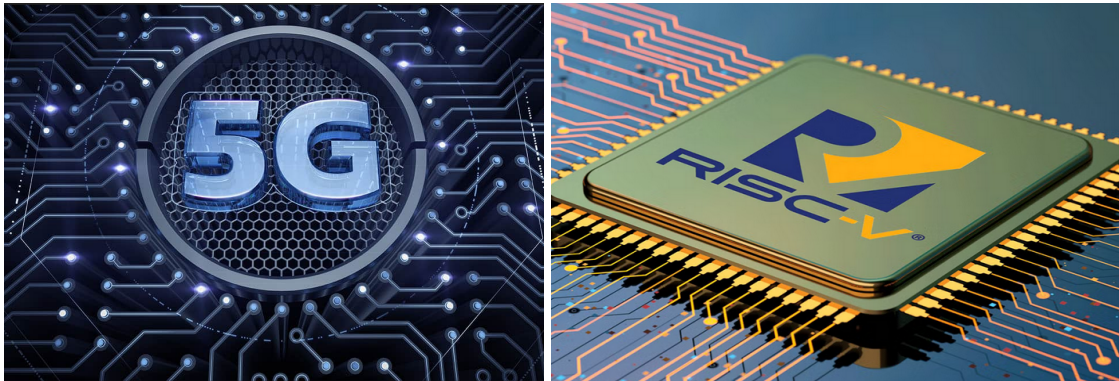




# Masterarbeit

am Institut für Mikroelektronische Systeme, Architekturen und Systeme



Exploration von RISC-V Architekturen für skalierbare  
Vektorprozessoren in der Baseband-Verarbeitung drahtloser Modems

**Schlagworte:** ASIP, RISC-V, 5G-Algorithmen, Vektorprozessor, Hardware/Algorithmus Co-Design

## Das Projekt

Das Fachgebiet „Architekturen und Systeme“ des Instituts für Mikroelektronische Systeme (IMS) beschäftigt sich mit der Entwicklung applikationsspezifischer Hardware sowie mit der Exploration von Architektur-Entwürfsräumen. Ein aktueller Forschungsschwerpunkt ist die Entwicklung eines skalierbaren Vektorprozessors für Baseband-Signalverarbeitung in drahtlosen Modems, um insbesondere die Ausführung von 5G/NR-Algorithmen zu beschleunigen. In diesem Kontext bieten RISC-V-basierte ASIPs (Application-Specific Instruction-set Processors) besondere Vorteile. Die RISC-V-Architektur stellt einen offenen und frei erweiterbaren Befehlssatzstandard dar, der es ermöglicht, Prozessorarchitekturen gezielt an spezifische algorithmische Anforderungen anzupassen.

## Mögliche Aufgabenstellung

Eine Aufgabenstellung könnte wie folgt aussehen. Genaueres erfährst du in Rücksprache mit dem/der Betreuer/in.

- Implementierung und Verifizierung eines ausgewählten 5G/NR-Algorithmus
- Evaluation der Laufzeit auf einem vorhandenen RISC-V-Prozessor
- Identifikation von Engpässen im Algorithmus (Bottlenecks)
- Erweiterung und Optimierung des Prozessors durch benutzerdefinierte Instruktionen
- Bewertung der Lösung hinsichtlich Chipfläche und Ausführungszeit
- Dokumentieren der Ergebnisse in Form einer Abschlussarbeit

## Kontakt

Keivan Fayyazifard, M. Sc.  
Appelstraße 4, Büro 307  
Tel.: 0511 762 19607  
Mail.: fayyazifard@ims.uni-hannover.de

